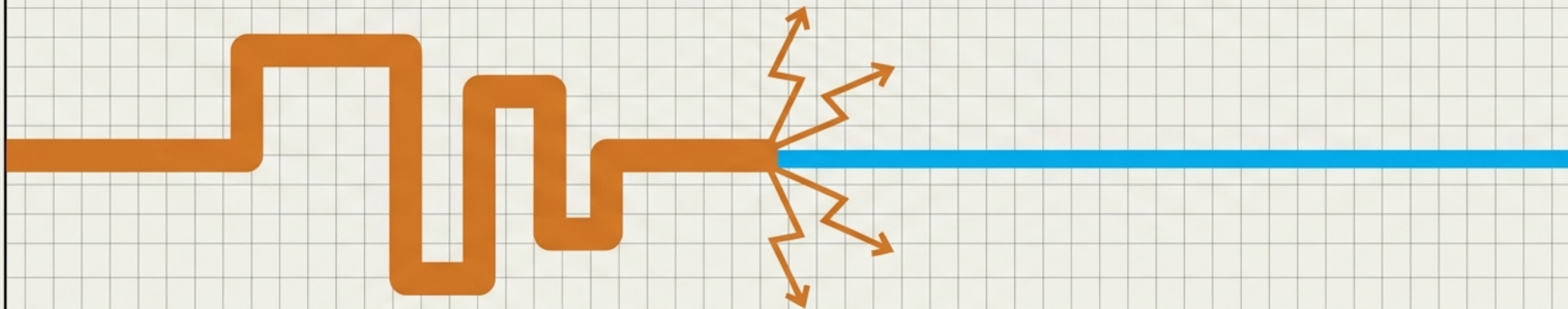
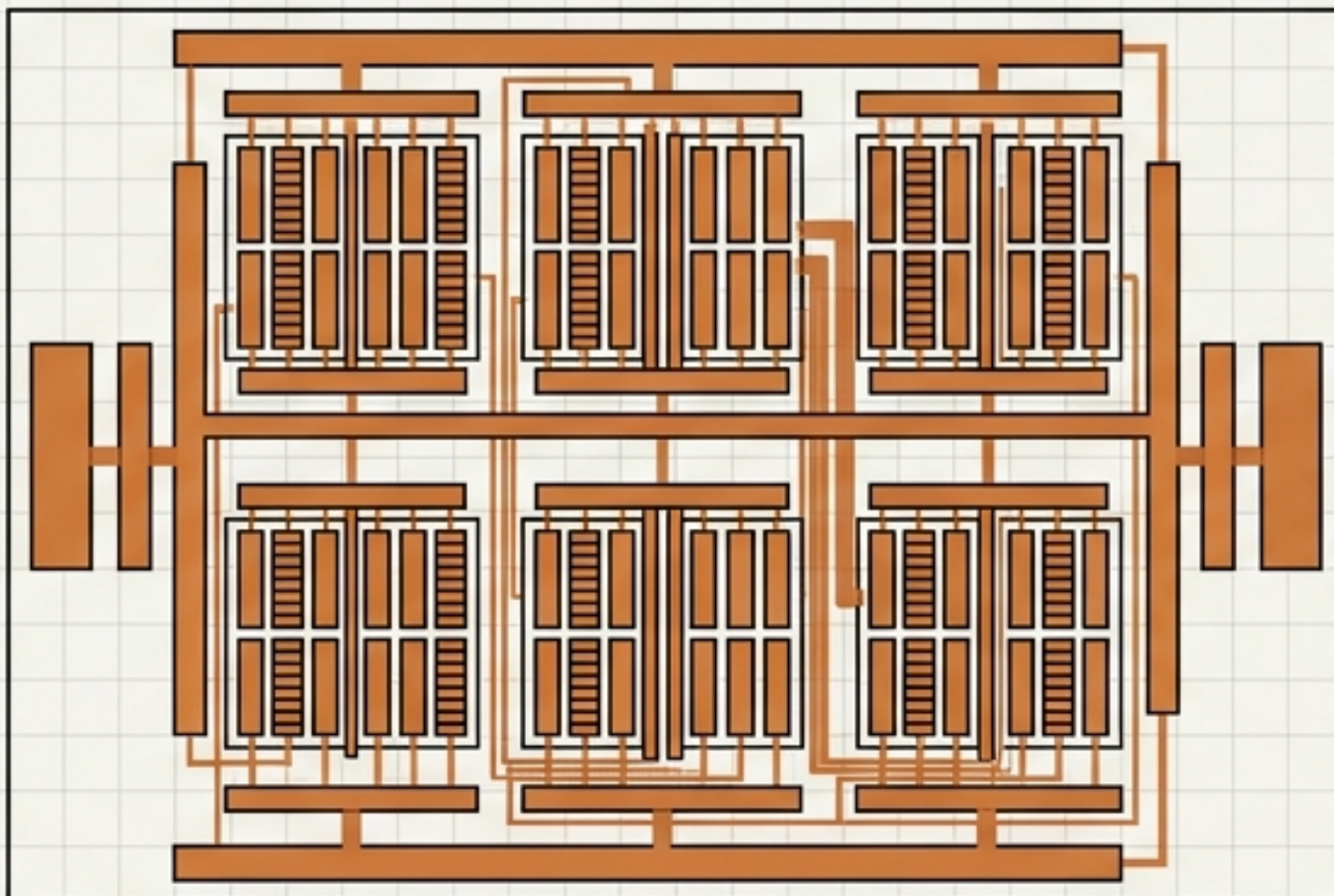


Onkraj pomnilniškega zidu

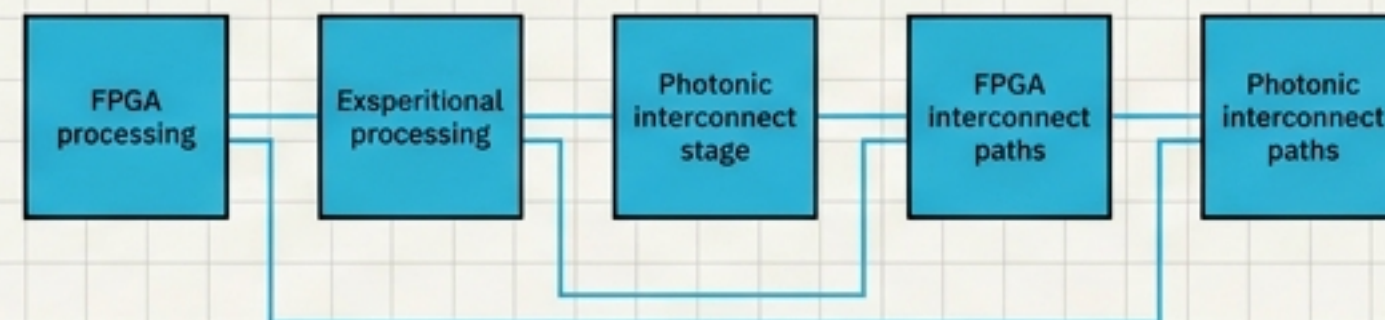
Analiza arhitekture fotonских procesnih cevovodov
za inferenco v umetni inteligenci.



Arhitekturni paradoks



SISTEM: Standardna GPE
ARHITEKTURA: 3.072 jeder @ 2,76 GHz
TEORETIČNA ZMOGLJIVOST: ~16,96 TFLOPS



SISTEM: Eksperimentalni fotonski cevovod
ARHITEKTURA: 5 FPGA (5.040 DSP enot @ 390 MHz)
TEORETIČNA ZMOGLJIVOST: ~1,969 TFLOPS

JEDRNO VPRAŠANJE: Kako lahko sistem z devetkrat manjšo računsko močjo isto nalogo izvede 149-krat hitreje?

Pomnilniški zid: Problem temnega silicija

Moderen čip lahko izvede bilijone operacij na sekundo, a večino časa porabi za čakanje na podatke iz pomnilnika ali omrežja.

TEMNI SILICIJ: Čas in energija, porabljeni za čakanje v nedejavnosti.

IDEALNA
PROCESNA
ENOTA

Matematična operacija (Compute)

REALNOST
MODERNE
GPE

Nalaganje podatkov (VRAM) /
Zapisovanje vmesnih rezultatov

Compute

Nalaganje podatkov (VRAM) /
Zapisovanje vmesnih rezultatov

Compute

90%

ZAKLJUČEK: Dodajanje novih jeder ne poveča hitrosti, če so jedra prisiljena čakati na podatke.

Fizična omejitev bakra

UPORNOST IN TOPLOTA:

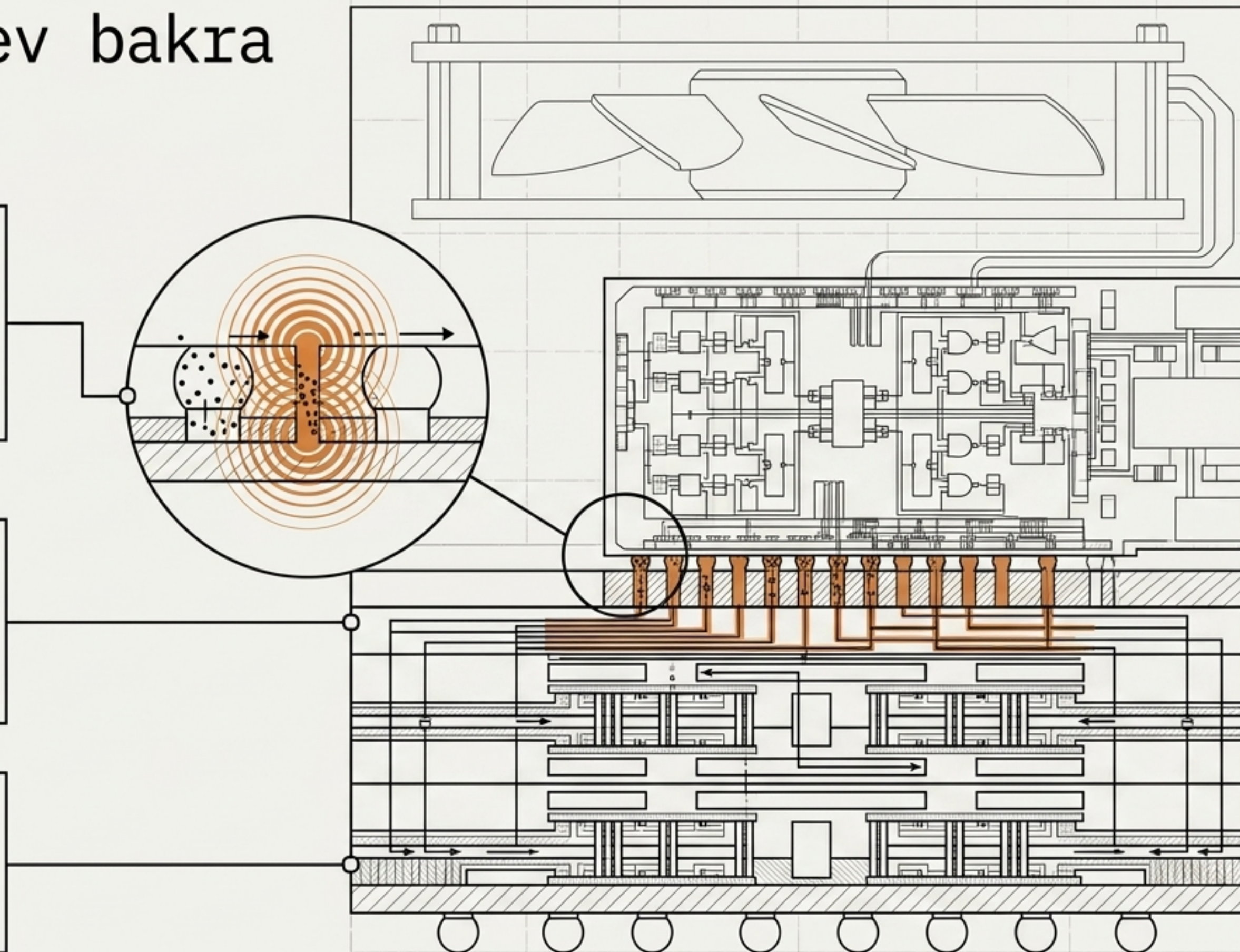
Elektroni pri potovanju skozi bakrene povezave naletijo na fizični upor. Pri višjih hitrostih prenosa se izgubi več energije v obliki toplote.

DEGRADACIJA SIGNALA:

Električni signali pri visokih frekvencah povzročajo medsebojne motnje in zahtevajo dodatno strojno opremo za korekcijo napak.

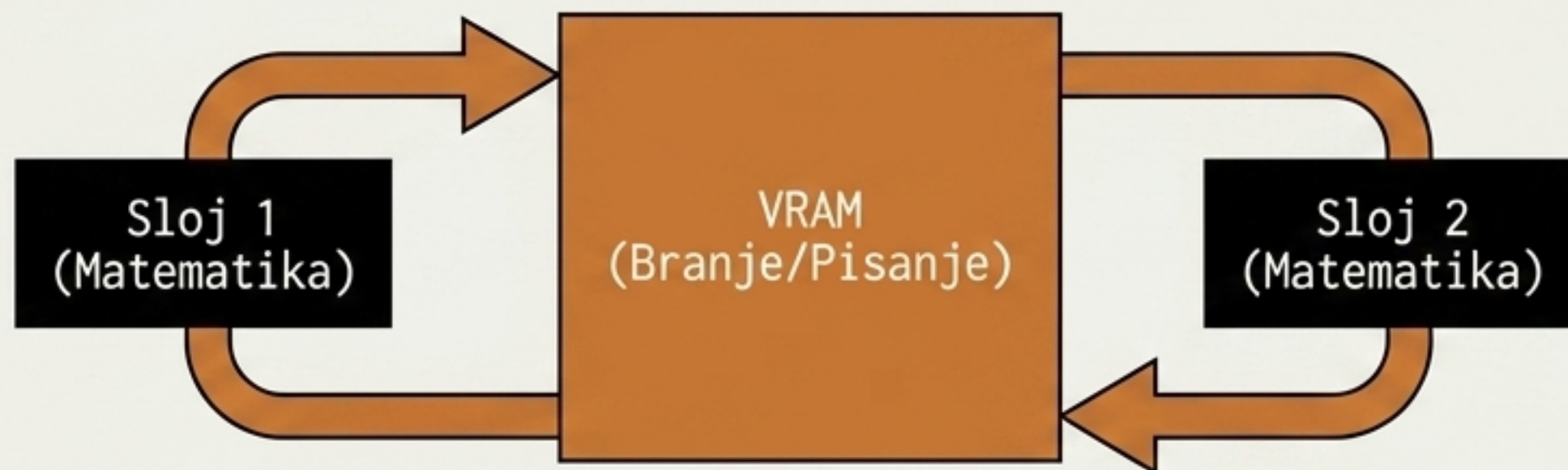
SISTEMSKA POSLEDICA:

Hladilni sistemi v podatkovnih centrih večinoma hladijo premikanje podatkov, ne samega računanja.



Rešitev: Prehod na strojni procesni cevovod

Zaporedna obdelava (GPE)



Čip zaključi sloj, shrani vmesni rezultat v pomnilnik, sprazni predpomnilnik, naloži pravila za naslednji sloj in ponovno naloži podatke.

Zagon, ustavitev in prenos vzamejo več časa kot sama matematika.

Povezan cevovod (Fotonski Pipeline)



Prva procesna enota obdela prvi sloj in ga takoj pošlje naprej. Ko se cevovod napolni, vse enote delujejo sočasno z različnimi kosi podatkov.

Ni vmesnega shranjevanja.

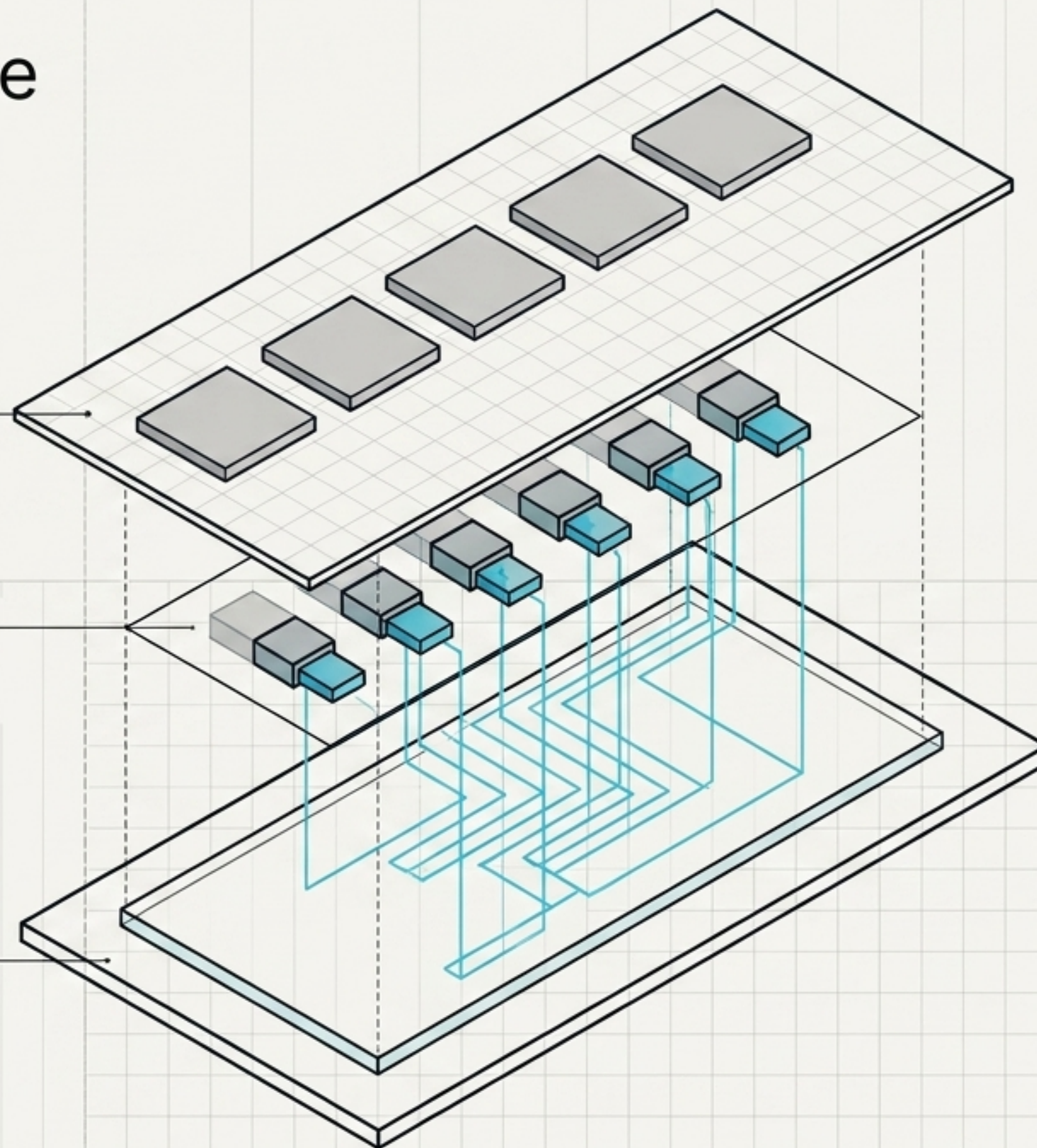
Arhitektura pekinške univerze

Hibridni elektro-optični sistem, ki zaobide pomnilniški zid s fiksno strojno preslikavo modela in fotonskim povezovanjem.

1. FPGA enote za namensko matematiko (Električno)

2. Optoelektronski oddajniki in sprejemniki (Pretvorba)

3. 16x6 optično stikalo za usmerjanje (Fotonsko)



Komponenta 1: Namenska FPGA obdelava

FLEKSIBILNOST NAD SUROVO MOČJO:

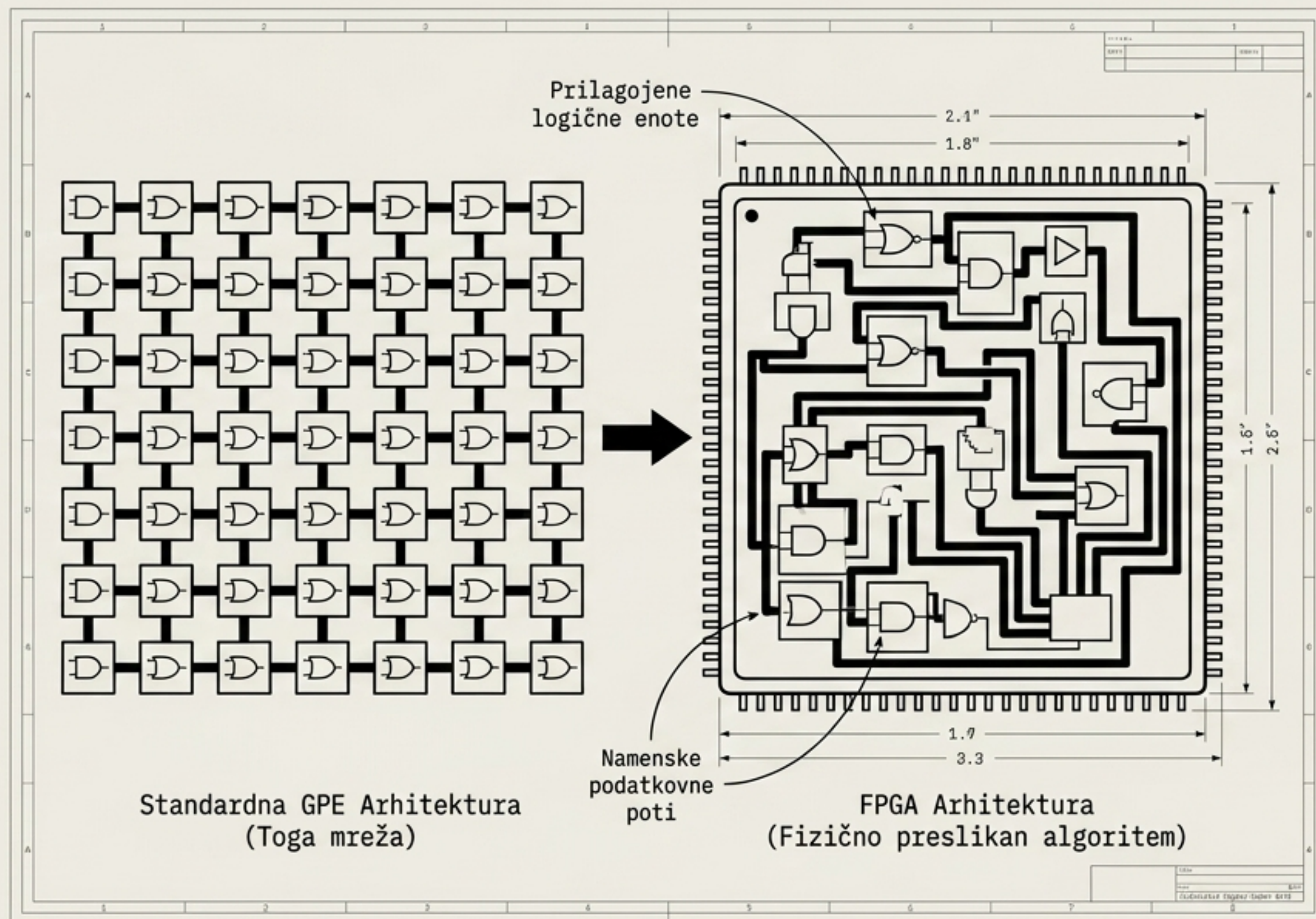
Namesto da bi specifično nalogo vsilili v splošno namensko arhitekturo (GPE), FPGA inženirjem omogoča vzpostavitev prilagojenih podatkovnih poti po meri.

STROJNA PRESLIKAVA MODELA:

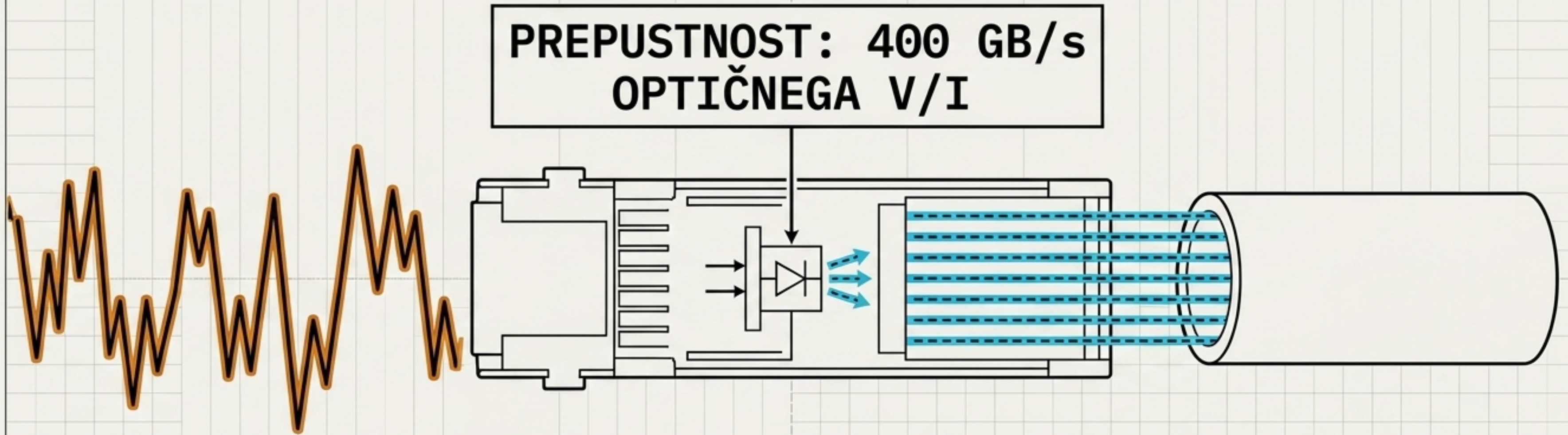
Vsaka od petih FPGA enot prevzame natanko en sloj pet-slojnega modela UI. Logična vrata so prilagojena specifični matematiki posameznega sloja.

STANJE PROCESORJA:

Sama matematika znotraj čipa ostaja električna. Prehod na svetlobo se zgodi šele na izhodu.



Komponenta 2: Optoelektronska pretvorba



FUNKCIJA:

Pretvorba električnih izhodnih podatkov iz FPGA v svetlobne signale za prenos preko fotonskega omrežja, brez zastojev na vmesnikih.

POMEN:

Ustvari pasovno širino, ki je dovolj široka, da lahko podatki tečejo neprekinjeno kot voda. Odpravi potrebo po začasnem shranjevanju na izhodnem pinu.

Komponenta 3: 16x6 fotonsko stikalo

ZNAČILNOSTI MEDIJA:

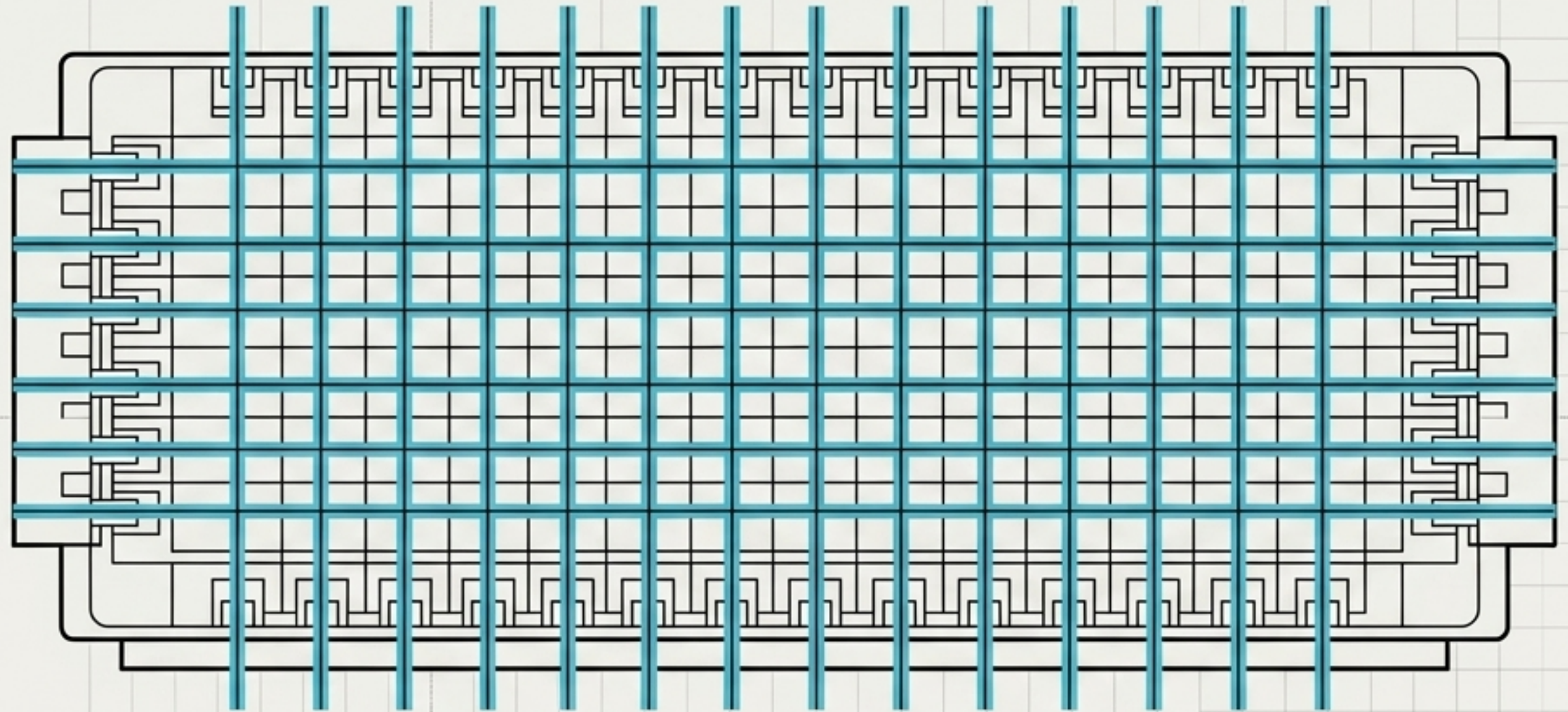
Sistem temelji na stekleni osnovi, prenos poteka s pomočjo svetlobe z valovno dolžino 1.300 nm.

BREZIZGUBNA NARAVA:

Izguba signala je manjša od 5 dB. Prenos pri 400 Gb/s poteka brez napak in brez potrebe po vmesnem ojačanju signala.

USMERJANJE BREZ ČAKANJA:

Za razliko od standardnega omrežnega stikala, to stikalo ne preverja, zadržuje ali ponovno razporeja podatkovnih paketov. Deluje kot čista, neovirana fizična pot.



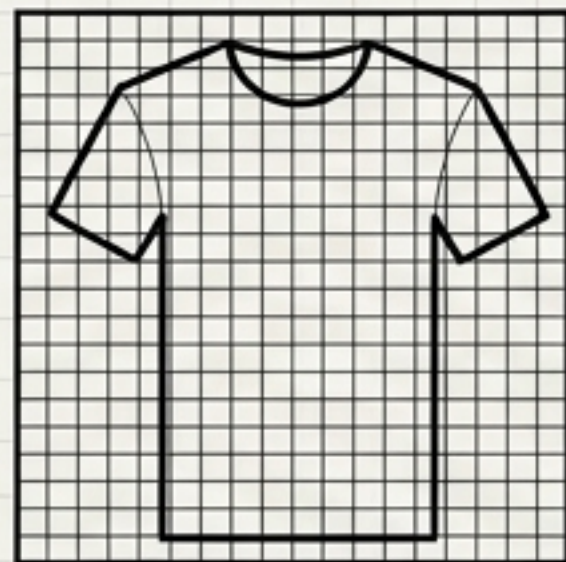
Klasično električno stikalo



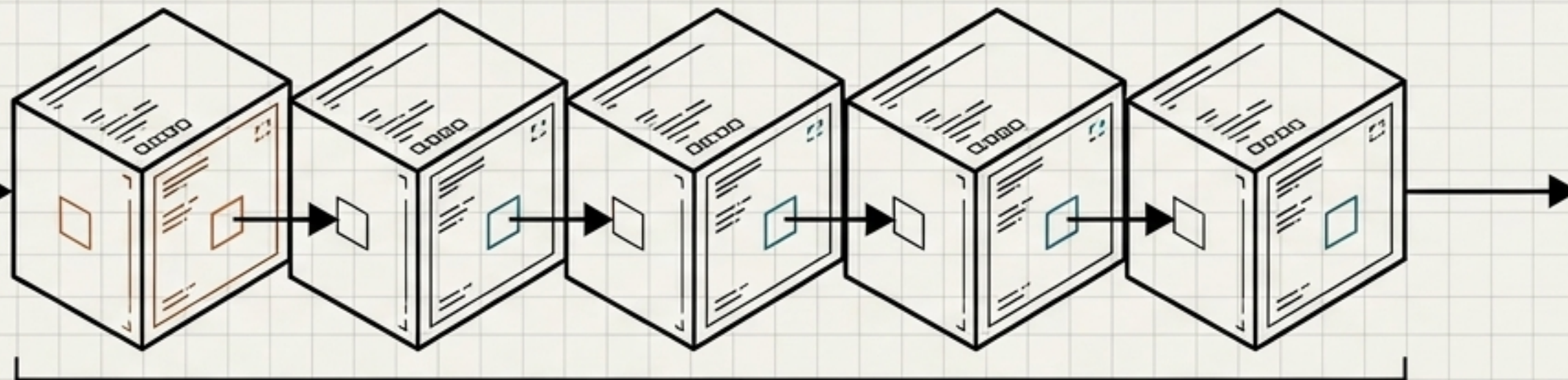
Prenos podatkov: Električna proti svetlobi

FIZIČNI PARAMETER	BAKRENE POVEZAVE (ELEKTRIKA)	OPTIČNA VLAKNA (FOTONIKA)
Slabitev signala na razdaljo	Visoka - zahteva ponavljalnike in ojačevalce.	Minimalna - učinkovit prenos na velike razdalje brez izgub.
Generiranje toplote	Ekstremno - glavni krivec za drago hlajenje v centrih.	Praktično nično - fizično hladno usmerjanje.
Medsebojne motnje (Crosstalk)	Znatne - signali se motijo pri visokih frekvencah preklapljanja.	Jih ni - različne valovne dolžine potujejo po isti poti brez trkov.
Način preklapljanja	Zadrževanje , branje, razporejanje in pošiljanje paketov (Latenca).	Kontinuiran fizični pretok brez latence procesiranja paketov.

Metodologija preizkusa: Inferenca na Fashion MNIST



Fashion MNIST (32x32)



5-slojni model (5x5 filtri)

VHODNI PODATKI:

1.000 slik iz nabora Fashion MNIST (odstranjevanje šuma). Velikost slike 32x32 slikovnih pik.

NATANČNOST:

32-bitna števila s plavajočo vejico (FP32), 32.768 bitov na posamezno sliko.

ARHITEKTURA MODELA:

Predhodno natreniran 5-slojni model strojnega vida. Fizično preslikan na pet FPGA čipov.

POMEMBNA OPOMBA:

Eksperiment preverja izključno **INFERENCO** (izvajanje že naučenega modela). Ne vključuje procesa **učenja**, ki je računsko neprimerljivo zahtevnejši.

Rezultati: Primerjava surove hitrosti

Metrika: Čas, potreben za obdelavo 1.000 slik v skupinah po 10.



105,116 μ s

5-FPGA OPTIČNI CEVOVOD
(mikrosekunde)

**149x
HITREJE**



15.643,000 μ s

STANDARDNA GPE
(mikrosekunde)

PORABA ENERGIJE: Optični sistem (računski del) je uporabil zgolj 11,6 % energije, ki jo je za isto nalogo porabila grafična procesna enota.

Razrešitev paradoksa: Stopnja izkoriščenosti

MATEMATIKA IZKORIŠČENOSTI:

Naloga je zahtevala ~196 milijonov matematičnih korakov.

Teoretični minimum pri 100% strojni izkoriščenosti FPGAs = 99,6 μ s.

Dejanski rezultat 105,116 μ s pomeni 94,7-odstotno strojno izkoriščenost.

PRAVI PREBOJ:

Sistem ni zmagal zaradi večje računske moči, temveč zato, ker praktično ni izgubljal časa s čakanjem na podatke.

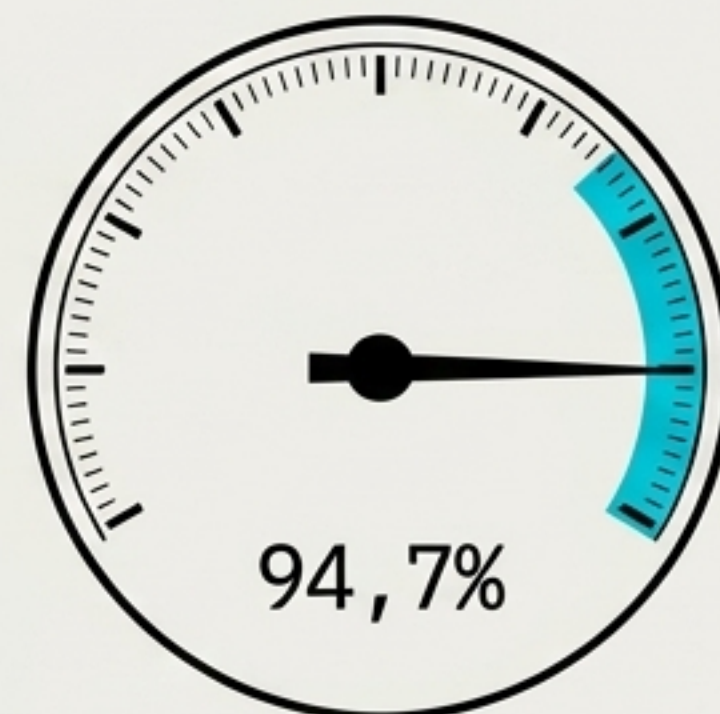
Čisti pretok zagotavlja konstantno aktivnost jeder.

STANJE GPE:

Grafična kartica je imela na voljo 16,9 TFLOPS moči, vendar je bila naloga premajhna za njeno arhitekturo. Večino časa je zapravila za branje in pisanje vmesnih rezultatov iz pomnilnika ter preklapljanje med sloji.



Standardna GPE



FPGA Optični cevovod

Strojna arhitektura: GPE proti cevovodu

ARHITEKTURNA DIMENZIJA	GRAFIČNA PROCESNA ENOTA (GPE)	FOTONSKI FPGA CEVOVOD
Procesni model	Obdelava v serijah (Batching) po posameznih slojih modela.	Neprekinjen kontinuiran tok podatkov skozi vse sloje sočasno.
Upravljanje pomnilnika	Stalno pisanje in branje vmesnih stanj v VRAM.	Vmesni rezultati se pretočijo direktno v naslednji čip. Brez VRAM-a.
Glavno ozko grlo	Pomnilniška pasovna širina in latenca dostopa do podatkov.	Surova hitrost vhodno-izhodnih (I/O) vmesnikov procesorja.
Fleksibilnost strojne opreme	Ekstremna. Popolnoma prilagodljivo kateri koli nalogi ali modelu.	Nična. Strojna oprema je fizično preslikana na točno določen model.

Sprememba paradigme

Moč brez podatkov je neuporabna.

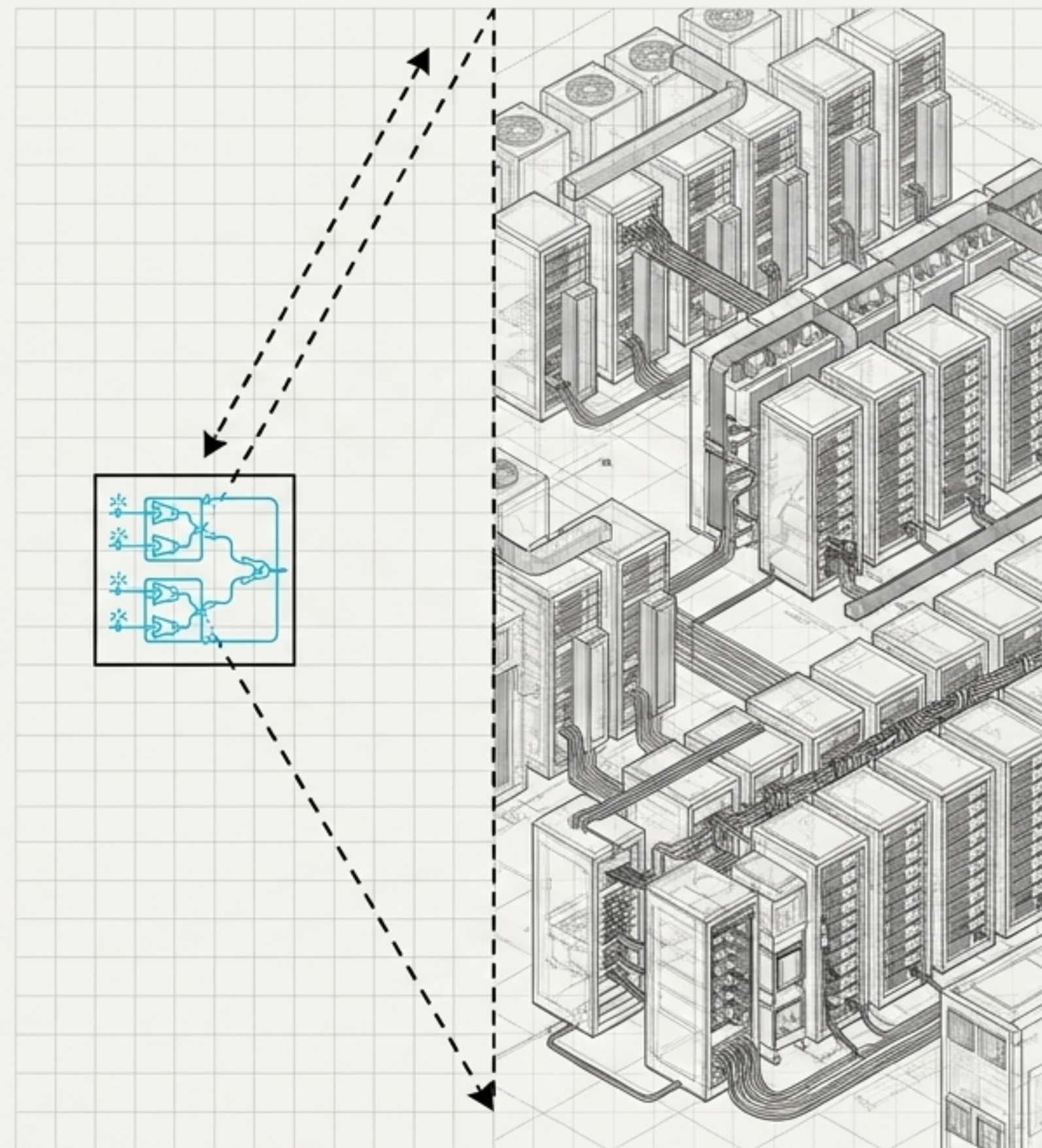
SINTEZA: Prihodnost skaliranja strojne opreme za umetno inteligenco ne temelji več zgolj na krčenju tranzistorjev ali dodajanju novih jeder (Moorov zakon). Naslednji preskok bo nastal z inovativnim inženiringom omrežnih in medčipovnih povezav.

PREHOD: Iz inženiringa, omejenega z računsko močjo (Compute-Bound), tehnološki sektor prehaja v inženiring, omejen s povezljivostjo (Interconnect-Bound).

Kritična ocena: Omejitve eksperimenta

KAJ SISTEM NI DOKAZAL:

- **1. Ni zamenjava za učenje modelov:**
Arhitektura je testirala izključno inferenco. Ne more izvajati povratnega razširjanja napake (backpropagation).
- **2. Ni dokaz merila (Scale):**
Pet-slojni model s 32x32 slikami se ne more neposredno primerjati z gigantskimi jezikovnimi modeli (LLM) z milijardami parametrov.
- **3. Netočen podatek o celotni energiji:**
Trditev o '1/9 porabljene energije' upošteva le računsko moč procesorja. Optoelektronski oddajniki, 16x6 optično stikalo in nadzorni sistemi zahtevajo znatno lastno napajanje.
- **4. Fleksibilnost proti hitrosti:**
Za drugačno nalogo ali posodobljen model bi ta fiksni strojni cevovod popolnoma odpovedal in bi zahteval popolno fizično prekonfiguracijo sistema.



Inženirski izzivi skaliranja

Izhodna prepsustnost procesorjev (I/O Bottleneck)

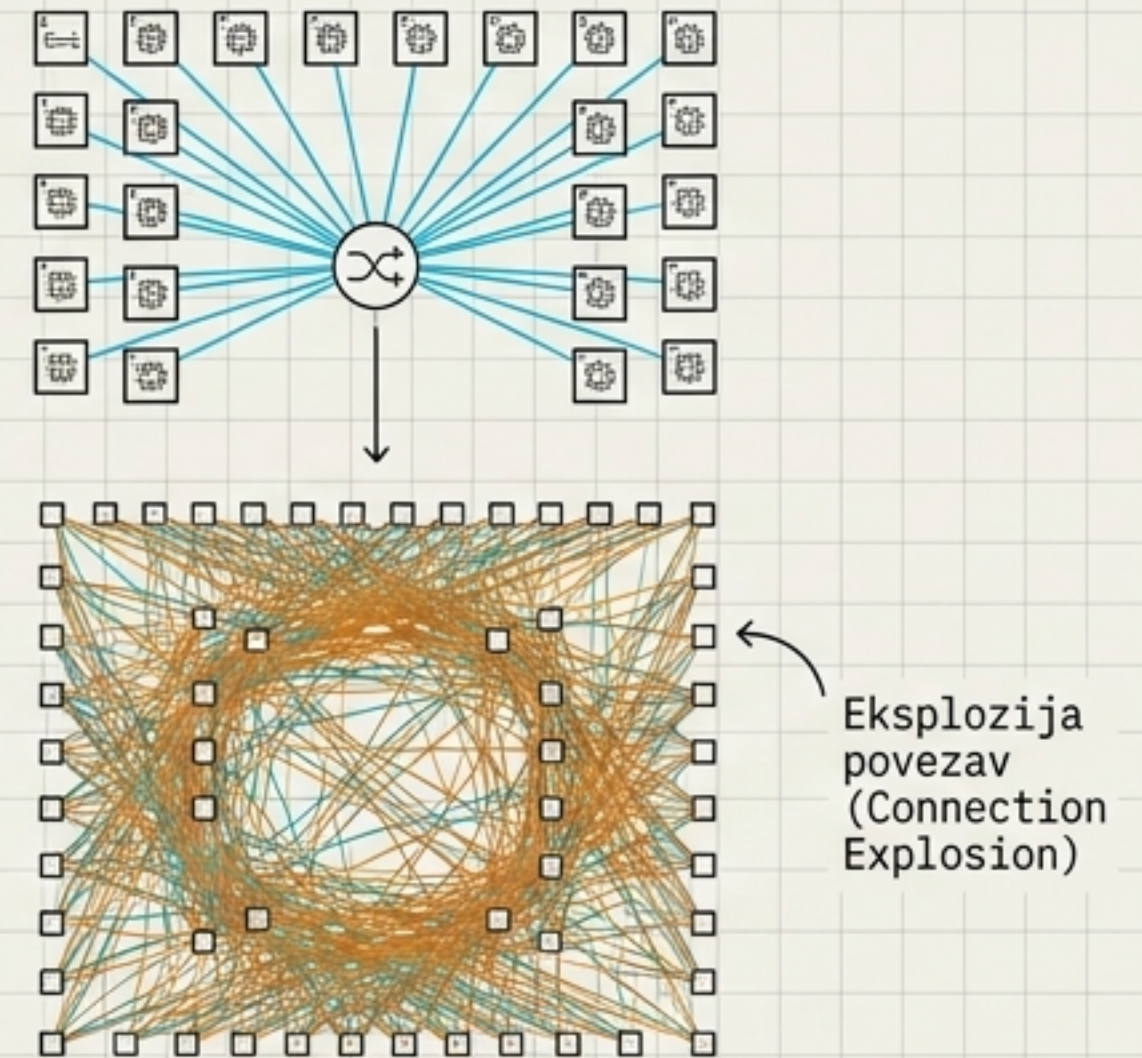
Sama fotonika omogoča prenos do 1,6 Tb/s, vendar trenutni čipi (FPGAs/ASICs) nimajo dovolj hitrih vmesnikov, da bi to masivno optično kapaciteto v celoti nahranili s podatki.

Večnivojska omrežja (Multi-level Routing)

Prehod s 16 čipov na tisoče čipov zahteva postavitev večnivojskih optičnih stikal in izjemno kompleksno programsko opremo za dinamično razporejanje in reševanje odpovedi posameznih vozlišč.

Programsko inženirstvo (Software Compilers)

Potrebujemo povsem nove programske prevajalnike, ki bi znali dinamično, samodejno in optimalno razdeliti kompleksne, spremenljive modele strojnega učenja na fiksne strojne cevovode.



Prihodnost: Od samostojnih čipov k optičnim mrežam

APLIKATIVNA VREDNOST:

Čeprav sistem ne bo izpodrinil vsestranskih GPE-jev pri splošnih nalogah, predstavlja revolucijo za specifične storitve, kjer je latenca ključna – avtonomna vožnja, robotika in visokofrekvenčno trgovanje.

GLAVNI ZAKLJUČEK:

Naslednji veliki preboj v umetni inteligenci morda ne bo prišel od čipa z dvakrat več jedri, temveč od omrežja, ki zagotovi, da nobeno jedro nikoli ne čaka na podatke. Podatkovni centri bodo postali enotni optični računalniški organizmi.

